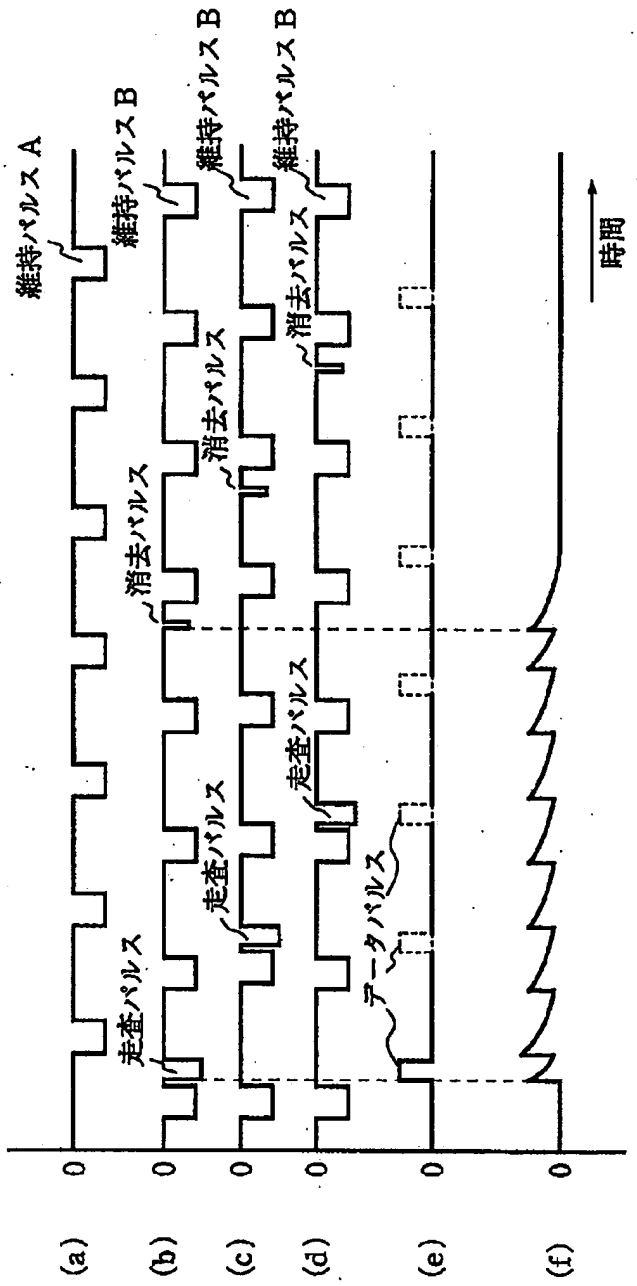
【図7】



T S5/5/1

5/5/1

DIALOG(R)File 351:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

013479262 **Image available**
WPI Acc No: 2000-651205/200063
XRPX Acc No: N00-482884

Drive circuit for matrix type display device, has two detectors to detect direction of line of data supplied to display panel and brightness level of the data to enable scanning of other lines

Patent Assignee: VICTOR CO OF JAPAN (VICO)
Number of Countries: 001 Number of Patents: 001
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
JP 2000267624	A	20000929	JP 9973267	A	19990318	200063	B

Priority Applications (No Type Date): JP 9973267 A 19990318
Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 2000267624	A		7	G09G-003/22	

Abstract (Basic): JP 2000267624 A

NOVELTY - A correlation detector (5) detects the relationship of the direction of line of data supplied to the display panel (10). Another detector (11) detects the brightness level of the data supplied to the panel. A scanning circuit (6) scans other lines, based on outputs of the detectors (5,11).

USE - For driving field emission display, electroluminescence display.

ADVANTAGE - Raises peak brightness greatly, even when the brightness is reduced by the saturation of fluorescent material.

DESCRIPTION OF DRAWING(S) - The figure shows the block diagram of the drive circuit.

Detectors (5,11)
Scanning circuit (6)
Display panel (10)
pp; 7 DwgNo 1/8

Title Terms: DRIVE; CIRCUIT; MATRIX; TYPE; DISPLAY; DEVICE; TWO; DETECT; DETECT; DIRECTION; LINE; DATA; SUPPLY; DISPLAY; PANEL; BRIGHT; LEVEL; DATA; ENABLE; SCAN; LINE
Derwent Class: P85; T04; V05
International Patent Class (Main): G09G-003/22
International Patent Class (Additional): G09G-003/30; H01J-001/30
File Segment: EPI; EngPI
?

DRIVING CIRCUIT FOR MATRIX TYPE DISPLAY DEVICE

Patent Number: JP2000267624
Publication date: 2000-09-29
Inventor(s): YOSHIMURA MAKOTO
Applicant(s): VICTOR CO OF JAPAN LTD
Requested Patent: ☐ JP2000267624
Application Number: JP19990073267 19990318
Priority Number(s):
IPC Classification: G09G3/22; G09G3/30; H01J1/30
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a driving circuit for a matrix type display device capable of remarkably improving the peak luminance.
SOLUTION: A correlation detecting circuit 5 detects the correlation in a row direction of data for supplying to a display panel 10. A white peak detecting circuit 11 detects the luminance level of data for supplying to the panel 10. Only when the circuit 5 detects the presence of correlation and the circuit 11 detects that the luminance level of data is higher than a prescribed level (white peak), a scan polyphasing circuit 6 scans another row detected to be correlated together.

Data supplied from the **esp@cenet** database - I2

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（A）　(11)特許出願公開番号
特開2000－267624
（P2000－267624A）
(43)公開日　平成12年９月29日(2000.9.29)

(51)Int.Cl.'	識別記号	ＦＩ		テーマコード'(参考)
Ｇ０９Ｇ	3/22	Ｇ０９Ｇ	3/22	Ｅ　５Ｃ０８０
	3/30		3/30	Ｋ
Ｈ０１Ｊ	1/30	Ｈ０１Ｊ	1/30	

審査請求　未請求　請求項の数２　ＯＬ　（全 ７ 頁）

(21)出願番号　特願平11－73267

(22)出願日　平成11年３月18日(1999.3.18)

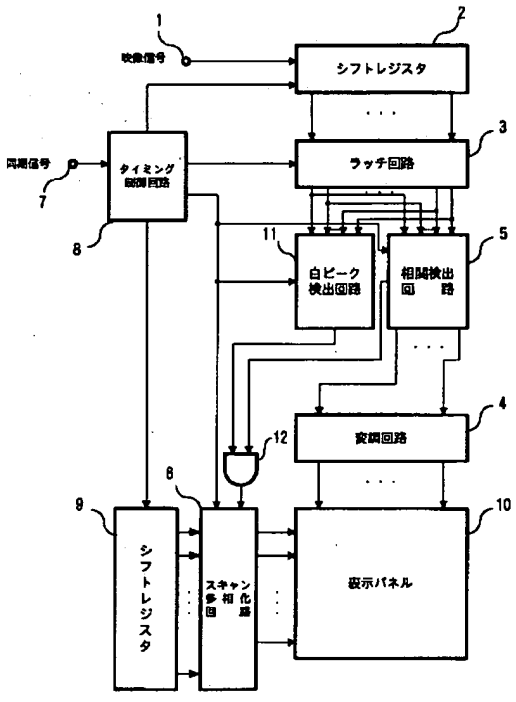
(71)出願人　000004329
日本ビクター株式会社
神奈川県横浜市神奈川区守屋町３丁目12番地

(72)発明者　吉村　真
神奈川県横浜市神奈川区守屋町３丁目12番地　日本ビクター株式会社内

Ｆターム(参考)　5C080 AA06 AA18 BB05 DD03 EE29 FF12 GG12 JJ01 JJ02 JJ04 JJ05

(54)【発明の名称】　マトリクス型表示装置の駆動回路

(57)【要約】
【課題】　ピーク輝度を大幅に向上させることができるマトリクス型表示装置の駆動回路を提供する。
【解決手段】　相関検出回路５は、表示パネル１０に供給するデータの行方向の相関を検出する。白ピーク検出回路１１は、表示パネル１０に供給するデータの輝度レベルを検出する。スキャン多相化回路６は、相関検出回路５によって相関があると検出され、かつ、白ピーク検出回路１１によってデータの輝度レベルが所定レベル以上（白ピーク）であると検出されたときのみ、相関があると検出された他の行を併せて走査する。



【特許請求の範囲】
【請求項１】複数の行及び複数の列によってセルがマトリクス状に配置された表示パネルを行単位で走査して表示するマトリクス型表示装置の駆動回路において、
前記表示パネルに供給するデータの行方向の相関を検出する相関検出回路と、
前記表示パネルに供給するデータの輝度レベルを検出する輝度検出回路と、
前記相関検出回路によって相関があると検出され、かつ、前記輝度検出回路によって前記データの輝度レベルが所定レベル以上であると検出されたときのみ、相関があると検出された他の行を併せて走査する手段とを備えて構成したことを特徴とするマトリクス型表示装置の駆動回路。
【請求項２】前記マトリクス型表示装置は、フィールドエミッション表示装置もしくはエレクトロルミネセンス表示装置であることを特徴とする請求項１記載のマトリクス型表示装置の駆動回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、冷陰極電子放出素子等の電子放出源を用いた表示装置（いわゆるフィールドエミッション表示装置）やエレクトロルミネセンス（以下、ＥＬと略記する）表示装置等のマトリクス型表示装置の駆動回路に関する。
【０００２】
【従来の技術】マトリクス型表示装置としては、冷陰極電子放出素子を用いたフィールドエミッション表示装置やＥＬ表示装置等の１行同時表示型の表示装置が知られている。１行同時表示型の表示装置では、１行単位で同時に表示が行われ、一般的には上から下へ線順次走査され、各行の表示は走査期間中において全列同時に行われる。
【０００３】さらに詳細には、１行同時表示型とは、ある任意の行の表示が行われている際には、他行の表示が行われない表示装置のことである。例えば、プラズマディスプレイパネルやＴＦＴ液晶表示装置等は線順次駆動を行っているが、セル毎にメモリ機能を有し、複数行の表示が同時に行われるので、この範疇ではない。但し、表示装置が複数の配線ブロックに完全に分割されている場合は、各ブロック内で複数行の同時表示期間がなければ１行同時表示型の表示装置である。
【０００４】図４は従来の１行同時表示型であるマトリクス型表示装置の駆動回路を示すブロック図である。図４において、表示パネル１０は例えば冷陰極電子放出素子を用いた表示パネルであり、一例として図５に示すように、走査電極Ｌ１～ＬＭに接続された複数の行配線と、データ電極Ｄ１～ＤＮに接続された複数の列配線とによって、画素を構成するセル１０ｓがマトリクス状に配置されている。なお、セル１０ｓは、電子放出源である電子放出素子と、この電子放出素子からの電子照射を受ける蛍光体とで構成される。
【０００５】端子１に入力された映像信号は、シフトレジスタ２に書き込まれる。シフトレジスタ２において１行分のデータが書き込まれた後、ラッチ回路３によってラッチされ、変調回路４にデータが入力される。変調回路４は、データの大小に応じたパルスを表示パネル１０のデータ電極Ｄ１～ＤＮに入力する。
【０００６】また、端子７に入力された同期信号は、タイミング制御回路８に入力される。タイミング制御回路８はシフトレジスタ２にシフトクロックを供給し、ラッチ回路３にラッチクロックを供給する。タイミング制御回路８は、また、シフトレジスタ９に１ライン幅のパルスを供給する。シフトレジスタ９はそのパルスを表示パネル１０の走査電極Ｌ１～ＬＭにスキャンパルスとして１行目から順次入力する。
【０００７】さらに、図４に示すマトリクス型表示装置を駆動する場合の動作について詳細に説明する。上記のように、表示パネル１０の走査電極Ｌ１～ＬＭには、順次、シフトレジスタ９によってスキャンパルスが印加される。また、表示パネル１０のデータ電極Ｄ１～ＤＮには、変調回路４によって、選択されたラインに対応したデータに応じて一例としてパルス幅（ＰＷＭ）変調されたパルスが印加される。
【０００８】即ち、ｉ行ｊ列のデータに対しては、走査電極Ｌｉが選択されている期間にデータ電極Ｄｊに電圧を印加する。変調回路４がＰＷＭ変調の場合、階調は、データ電極Ｄ１～ＤＮに印加するパルスの印加時間（パルス幅）で表現される。変調回路４の変調方法はＰＷＭ方式に限らず、電圧変調等のように発光の強弱が表現できる方法であればよい。
【０００９】図６は、一例としてｊ列を表示する際の動作を示す波形図であり、走査電極に印加するスキャンパルスと、データ電極に印加するパルスとを示している。ここでは、映像信号が、ｉ行ｊ列は黒、ｉ＋１行ｊ列はグレー、ｉ＋２行ｊ列は白である場合について示している。図６に示すように、ｉ行の水平走査期間Ｈ０において、ｉ行の走査電極Ｌｉには電圧－Ｖｓがかかっており、その他の走査電極には電圧がかかっていない。このとき、ｉ行ｊ列での表示が黒であるため、ｊ列のデータ電極Ｄｊは常に０電位である。
【００１０】次に、ｉ＋１行の水平走査期間Ｈ１においては、ｉ＋１行の走査電極Ｌ（ｉ＋１）には電圧－Ｖｓがかかっており、その他の走査電極には電圧がかかっていない。このとき、ｉ＋１行ｊ列での表示がグレーであるため、ｊ列のデータ電極Ｄｊには水平走査期間Ｈ１の約半分の期間だけ電圧＋Ｖｄがかかり、その後の約半分の期間は０電位となる。さらに、ｉ＋２行の水平走査期間Ｈ２においては、ｉ＋２行の走査電極Ｌ（ｉ＋２）は電圧－Ｖｓがかかっており、その他の走査電極には電圧

がかかっていない。このとき、ｉ＋２行ｊ列での表示が白であるため、ｊ列のデータ電極Ｄｊには水平走査期間Ｈ２の全期間において電圧＋Ｖｄがかかっている。

【００１１】ところで、冷陰極電子放出素子を用いた表示パネル１０の場合は、電子放出素子が電子放出するためのしきい値を有している。そして、走査電極Ｌ１～ＬＭにかかる電圧とデータ電極Ｄ１～ＤＮにかかる電圧との差がしきい値以上で表示状態となり、それ以下では非表示状態となる。この例では、電圧Ｖｄと電圧Ｖｓはいずれもしきい値Ｖｔｈより小さく、電圧（Ｖｄ＋Ｖｓ）はしきい値Ｖｔｈより大きく設定する。即ち、データ電極Ｄ１～ＤＮと走査電極Ｌ１～ＬＭの内の一方のみの電圧印加だけでは発光は起こらず、両方に印加された場合にのみ発光する。

【００１２】ここでは、ｉ行からｉ＋２行目までの表示過程についてのみ説明したが、実際には、表示パネル１０の走査電極Ｌ１～ＬＭには、１行からＭ行まで順次、スキャンパルスが印加され、この走査タイミングに合わせて、データ電極Ｄ１～ＤＮにＰＷＭ変調されたパルスが印加される。なお、有効画素が４８０行×６４０列の表示の場合には、走査電極が４８０本、データ電極が６４０本存在し、ＲＧＢストライプ構造のカラー表示の場合には１９２０本のデータ電極が存在する。

【００１３】以上のような構成及び動作により、１フィールド内での各行の表示タイミングは、図７に示すようになる。なお、ここでは、走査電極が４８０行の場合であり、太実線の部分が表示期間となっている。図７に示すように、１フィールド内で１行目から４８０行目まで順次に表示が行われる。

【００１４】

【発明が解決しようとする課題】上述した１行同時表示型のマトリクス型表示装置においては、各行において１フィールド中で１水平走査期間だけに表示が集中する。このため、連続電子放出に起因して電子放出素子や蛍光体（即ち、セル１０ｓ）に経時変化（焼き付き）が起きる。また、蛍光体の飽和現象によって、パルス幅（発光時間）と輝度（発光強度）とが比例関係にならず、図８に示すように、緩やかなガンマ特性を有することにより、輝度の効率低下を生じる。なお、パルス幅をｘ、発光強度をｙとすると、図１１に示す特性は$y=x^{r}$と表すことができ、０＜ｒ＜１で、通常、０．７＜ｒ＜０．９程度である。

【００１５】蛍光体の発光は、蛍光体中に存在する電子が、電子ビームの照射によってより高い準位に励起した後、元の準位に戻る際に差のエネルギーが可視光として放出するものである。蛍光体の励起状態が回復する前に次々と電子が照射してくると、照射される電子量に対する可視光の放出する割合が減少する。これを蛍光体の飽和と言う。蛍光体の飽和現象によって図８に示すようなガンマ特性を有するということは、パルス幅が２倍になっても輝度が２倍にはならないということであり、従来のマトリクス型表示装置では、この輝度低下が問題であった。

【００１６】さらに、蛍光体の飽和が起きなくても、表示時間が１水平走査期間であるため、高精細度化による画素数の増加によって行が増加すると表示時間が短くなり、輝度の低下が起こる。このように、従来のマトリクス型表示装置は、表示時間によって最大輝度が限定されるため、陰極線管表示装置と同等以上の輝度（ピーク輝度）を得ることができないという問題点があった。

【００１７】本発明はこのような問題点に鑑みなされたものであり、ピーク輝度を大幅に向上させることができるマトリクス型表示装置の駆動回路を提供することを目的とする。

【００１８】

【課題を解決するための手段】本発明は、上述した従来の技術の課題を解決するため、複数の行及び複数の列によってセルがマトリクス状に配置された表示パネルを行単位で走査して表示するマトリクス型表示装置の駆動回路において、前記表示パネルに供給するデータの行方向の相関を検出する相関検出回路（５）と、前記表示パネルに供給するデータの輝度レベルを検出する輝度検出回路（１１）と、前記相関検出回路によって相関があると検出され、かつ、前記輝度検出回路によって前記データの輝度レベルが所定レベル以上であると検出されたときのみ、相関があると検出された他の行を併せて走査する手段（６）とを備えて構成したことを特徴とするマトリクス型表示装置の駆動回路を提供するものである。

【００１９】

【発明の実施の形態】以下、本発明のマトリクス型表示装置の駆動回路について、添付図面を参照して説明する。図１は本発明のマトリクス型表示装置の駆動回路の一実施例を示すブロック図、図２は本発明のマトリクス型表示装置の駆動回路の動作を説明するための波形図、図３は本発明のマトリクス型表示装置の駆動回路の動作を説明するための図である。なお、図１において、図４と同一部分には同一符号が付してある。

【００２０】図１において、表示パネル１０は例えば冷陰極電子放出素子を用いた表示パネルであり、その具体的構成は図５を用いて説明した通りである。端子１に入力された映像信号は、シフトレジスタ２に書き込まれる。シフトレジスタ２において１行分のデータが書き込まれた後、ラッチ回路３によってラッチされる。ラッチ回路３より出力されたデータは、本発明により新たに加えられた相関検出回路５及び白ピーク検出回路１１に入力される。

【００２１】相関検出回路５は、１または複数のラインメモリと、比較回路とを備えて構成され、ラッチ回路３より出力されたデータのそれぞれの列において行方向の相関を検出する。ラインメモリを１つ設け、比較回路に

よって2行分のデータを比較すれば、2行のデータの相関を検出することができ、ラインメモリを2つ以上設ければ、3行分以上のデータの相関を検出することができる。相関検出回路5による相関検出信号はAND回路12の一方の端子に入力される。

【0022】白ピーク検出回路11は、ラッチ回路3より出力されたデータによって、所定の輝度レベル以上の部分が検出される。本実施例では、一例として、白ピークを検出する。白ピーク検出回路11による白ピーク検出信号はAND回路12のもう一方の端子に入力される。AND回路12は、相関検出回路5より相関検出信号が入力され、かつ、白ピーク検出回路11より白ピーク検出信号が入力されたときのみ、本発明により新たに加えられたスキャン多相化回路6に白ピーク相関検出信号を入力する。

【0023】ラッチ回路3より出力されたデータは、相関検出回路5を経て変調回路4に入力される。変調回路4は、データの大小に応じて例えばPWM変調されたパルスを表示パネル10のデータ電極D1～DNに入力する。

【0024】また、端子7に入力された同期信号は、タイミング制御回路8に入力される。タイミング制御回路8はシフトレジスタ2にシフトクロックを供給し、ラッチ回路3にラッチクロックを供給する。タイミング制御回路8は、また、シフトレジスタ9に1ライン幅のパルスを供給する。シフトレジスタ9はそのパルスをスキャン多相化回路6に入力する。タイミング制御回路8は、相関検出回路5や白ピーク検出回路11のタイミングも制御する。スキャン多相化回路6は後述するように入力されたパルスを多相化し、そのパルスをスキャンパルスとして表示パネル10の走査電極L1～LMに入力する。

【0025】ここで、図1に示す駆動回路の動作を図2を用いて詳細に説明する。図2の動作例は、映像信号が図3に示すような状態の場合の動作について示している。図3の例は、X列とX+1列のi行～i+2行では、白ピークで相関があり、X+2列～X+n列のi行～i+2行では、相関があるもののグレーであり、X列～X+n列のi+3行では、黒である場合を示している。

【0026】X列とX+1列のi行～i+2行において、相関検出回路5によって相関があることが検出され、また、白ピーク検出回路11によって白ピークであることが検出されるので、AND回路12からは、i行～i+2行の期間のみスキャン多相化回路6に白ピーク相関検出信号を供給する。スキャン多相化回路6は、AND回路12から白ピーク相関検出信号が供給された期間において、走査する行を多相化する。

【0027】図2に示すように、i行の水平走査期間H0において、シフトレジスタ9がi番目の端子からスキャンパルスを出力しているとき、ラッチ回路3からはi行目の全データが同時に出力されている。i行の走査電極Liには電圧－Vsがかかっている。このとき、X列とX+1列では白であるので、X列とX+1列のデータ電極DX，D(X+1)には水平走査期間H0の全期間において電圧+Vdがかかっている。X+2列～X+n列ではグレーであるので、X+2列～X+n列のデータ電極D(X+2)～D(X+n)には水平走査期間H0の約半分の期間だけ電圧+Vdがかかり、その後の約半分の期間は0電位となる。

【0028】このi行の水平走査期間H0において、従来では、他の行は走査しないが、本発明では、i行～i+2行においては白ピークで相関があることが検出されているので、スキャン多相化回路6によって、i+1行の走査電極L(i+1)とi+2行の走査電極L(i+2)にも併せて、例えば、水平走査期間H0後半の約半分の期間H0bだけ電圧－Vsをかけている。従って、i+1行～i+2行では、期間H0bにおいて白く発光する。

【0029】さらに、i+1行の水平走査期間H1において、シフトレジスタ9がi+1番目の端子からスキャンパルスを出力しているとき、ラッチ回路3からはi+1行目の全データが同時に出力されている。i+1行の走査電極L(i+1)には電圧－Vsがかかっている。このとき、X列とX+1列では白であるので、X列とX+1列のデータ電極DX，D(X+1)には水平走査期間H1の全期間において電圧+Vdがかかっている。X+2列～X+n列ではグレーであるので、X+2列～X+n列のデータ電極D(X+2)～D(X+n)には水平走査期間H1の約半分の期間だけ電圧+Vdがかかり、その後の約半分の期間は0電位となる。

【0030】このi+1行の水平走査期間H1においも、i行～i+2行においては白ピークで相関があることが検出されているので、スキャン多相化回路6によって、i行の走査電極Liとi+2行の走査電極L(i+2)にも併せて、水平走査期間H1後半の約半分の期間H1bだけ電圧－Vsをかけている。従って、i行とi+2行では、期間H1bにおいて白く発光する。

【0031】次に、i+2行の水平走査期間H2においも同様に、スキャン多相化回路6によって、i行の走査電極Liとi+1行の走査電極L(i+1)にも併せて、水平走査期間H1後半の約半分の期間H2bだけ電圧－Vsをかけている。従って、i行とi+1行では、期間H2bにおいて白く発光する。なお、本実施例では、ある行を走査しているとき、白ピークで相関のある他の行も同時に発光させる際に、水平走査期間の約半分の期間だけ発光させるようにしたが、半分より長くしたり、短くしてもよい。

【0032】以上のようにして、本発明の駆動回路によれば、表示パネル10は、白ピークで相関のある複数行

が同じ１水平走査期間内で併せて表示されることとなる。複数行を併せて発光させるので、１００％白を表示する（８ビット表現では２５５のデータ）場合、１画素分のデータに対して印加するスキャンパルスの幅は、大幅に増加する。図２の例では、ｉ行目ではＨ０＋Ｈ１ｂ＋Ｈ２ｂ、ｉ＋１行目ではＨ０ｂ＋Ｈ１＋Ｈ２ｂ、ｉ＋２行目ではＨ０ｂ＋Ｈ１ｂ＋Ｈ２となり、従来の約２倍である約２水平走査期間、セル１０ｓに電流を流すことが可能となる。白ピークではないグレーや黒においては、従来と同じ走査であり、従来と全く同じ輝度となる。

【００３３】本実施例では、白ピークで相関のある他の行に対して、水平走査期間における後半の約半分の期間だけ発光させるようにしているので、概ね、１つのセル１０ｓにおいて水平走査期間の全ての期間が連続して発光しないようにし、１つの水平走査期間における発光と次の水平走査期間における発光との間に、水平走査期間の約半分の休止期間（非表示期間）を設けることができる。従って、非表示期間における休止によって蛍光体の励起状態が収まり、初期状態に回復するので、蛍光体の飽和による輝度低下を防止することができる。また、水平走査期間の約半分の休止期間を設けることにより、ガンマ補正効果も併せ持つことができる。

【００３４】

【発明の効果】以上詳細に説明したように、本発明のマトリクス型表示装置の駆動回路は、表示パネルに供給するデータの行方向の相関を検出する相関検出回路と、表示パネルに供給するデータの輝度レベルを検出する輝度検出回路と、相関検出回路によって相関があると検出され、かつ、輝度検出回路によってデータの輝度レベルが所定レベル以上であると検出されたときのみ、相関があると検出された他の行を併せて走査する手段とを備えて構成したので、蛍光体の飽和による輝度低下があっても輝度を補うことができ、ピーク輝度を大幅に向上させることができる。

【図面の簡単な説明】

【図１】本発明の一実施例を示すブロック図である。

【図２】本発明の動作を説明するための波形図である。

【図３】本発明の動作を説明するための図である。

【図４】従来例を示すブロック図である。

【図５】マトリクス型表示装置の表示パネルの構成を示す図である。

【図６】従来例の動作を説明するための波形図である。

【図７】従来例による表示タイミングを説明するための図である。

【図８】従来例によるパルス幅と発光強度との関係を示す図である。

【符号の説明】

１，７　端子

２，９　シフトレジスタ

３　ラッチ回路

４　変調回路

５　相関検出回路

６　スキャン多相化回路

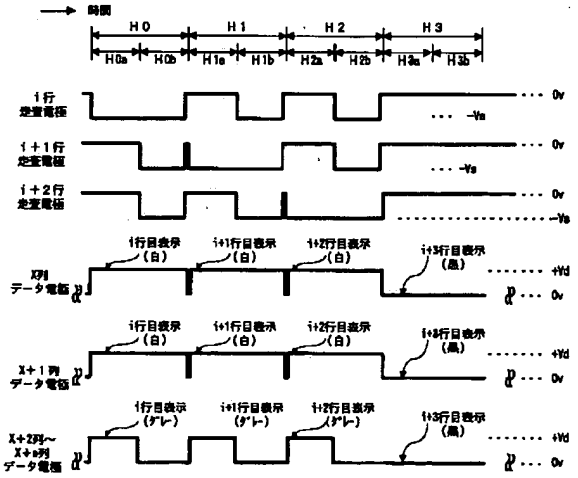
８　タイミング制御回路

１０　表示パネル

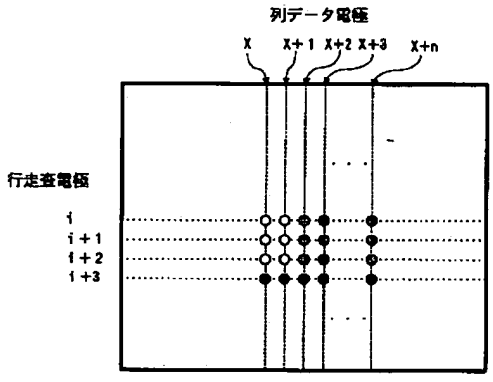
１１　白ピーク検出回路（輝度検出回路）

１２　ＡＮＤ回路

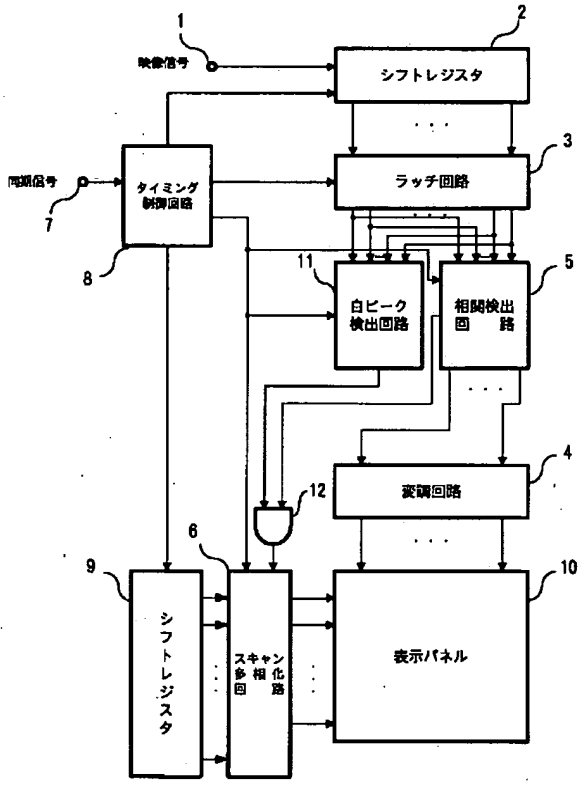
【図２】



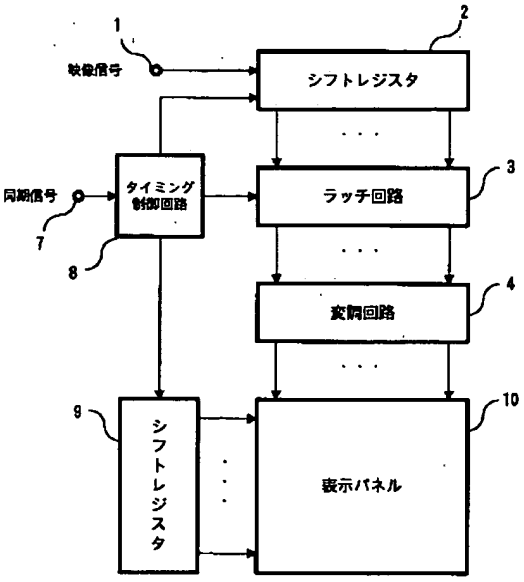
【図３】



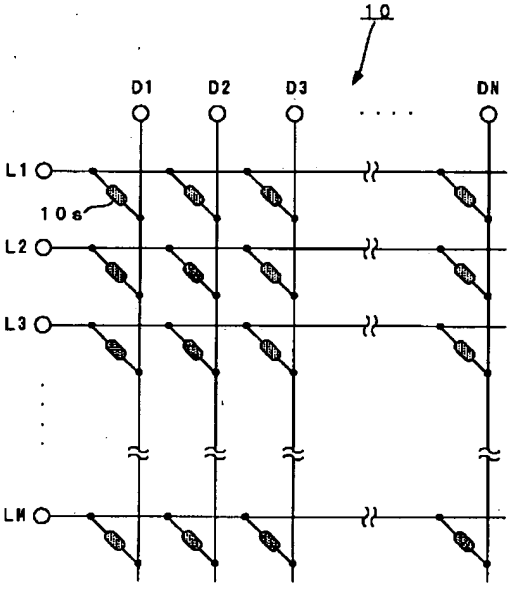
【図1】


1
映像信号
2
シフトレジスタ
3
ラッチ回路
同期信号
7
タイミング制御回路
8
11
白ピーク検出回路
相関検出回路
5
4
変調回路
12
6
9
シフトレジスタ
スキャン多相化回路
10
表示パネル

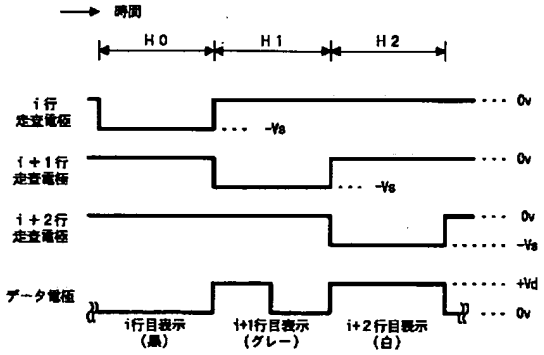
【図4】


1
映像信号
2
シフトレジスタ
3
ラッチ回路
同期信号
7
タイミング制御回路
8
4
変調回路
9
シフトレジスタ
10
表示パネル

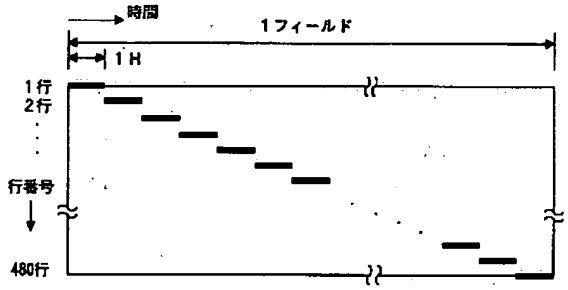
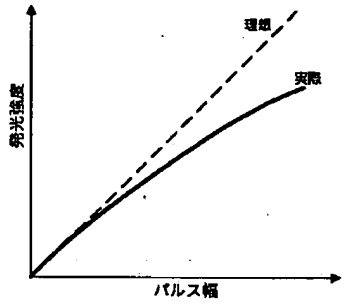
【図5】


10
D1
D2
D3
DN
L1
10s
L2
L3
LM

【図6】


時間
H0
H1
H2
i行走査電極
0v
-Vs
i+1行走査電極
0v
-Vs
i+2行走査電極
0v
-Vs
データ電極
+Vd
0v
i行目表示(黒)
i+1行目表示(グレー)
i+2行目表示(白)

【図7】



【図8】